

[Translation from German]

FEDERAL REPUBLIC OF  
GERMANY



GERMAN PATENT  
OFFICE

12. UNEXAMINED PATENT APPLICATION

11. DE 199 22 127 A1

51. Int. Cl.7:  
**H 03 M 1/00**  
H 03 M 3/02  
H 03 K 19/18  
// H04L 25/20

21. Case No.: 199 22 127.8  
22. Application date: May 12, 1999  
43. Date application published: November 23, 2000

71. Applicant:  Siemens AG, 80333 Munich, DE	72. Inventor:  Munz, Dieter, Dipl.-Ing. (FH), 91315 Höchstadt, DE; Günther, Harald, Dipl.-Ing., 90537 Feucht, DE; Staudt, Michael, Dipl.-Ing. (FH), 90469 Nürnberg, DE; Thamm, Peter, Dr., 92224 Amberg, DE
	56. Prior art cited:  DE 37 26 582 C2 DE 197 18 420 A1 DE 43 24 865 A1

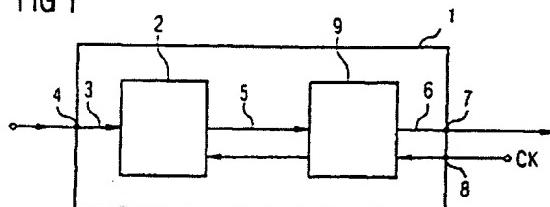
The following information has been taken from the documents submitted by the applicant.

Examination requested in accordance with § 44 of the Patent Code.

54. Integrated circuit with an A/D or D/A converter with electrical isolation

57. This invention relates to an integrated circuit which contains an analog-to-digital converter (ADC) or a digital-to-analog converter (DAC) and an analog and digital signal path connected to the converter. The digital signal path of the integrated circuit also contains a device for electrical isolation.

FIG 1



### Description

#### **Integrated circuit with an A/D or D/A converter with electrical isolation.**

This invention relates to an integrated circuit which contains an analog-to-digital converter or a digital-to-analog converter as well as an analog and a digital signal path connected to said converter.

Analog-to-digital converters and digital-to-analog converters are known from the book entitled "Digitale Verarbeitung analoger Signale" [*Digital Processing of Analog Signals*] by Samuel D. Stearns, 4th Edition, published by R. Oldenbourg Verlag, Munich and Vienna, 1988, pp. 69 to 75. An analog-to-digital converter digitizes the sampled values of an existing time function and delivers the input signals for a digital processor. A digital-to-analog converter works reciprocally to the analog-to-digital converter. It converts a coded set of digital values into a varying analog voltage. During the analog-to-digital conversion, quantification errors, tracking errors and jitter errors can occur which have an adverse effect on the accuracy of the conversion. Attempts to keep the effects of various electrical or mechanical error sources in digital-to-analog converters low have included the selection of precision components, precision power supplies, a narrowing of the operating temperature range etc.

Furthermore, analog-to-digital converters and digital-to-analog converters are also known from the book entitled "Halbleiter-Schaltungstechnik" [*Semiconductor circuit technology*] by U. Tietze and Ch. Schenk, published by Springer Verlag, 1990, pp. 751 to 790. A converter of this type can be realized by using the parallel process, the successive approximation method and the pulse count method. The above mentioned converters are generally available in the form of integrated circuits, such as C-MOS circuits, for example.

In analog-to-digital and digital-to-analog converters of this type, the analog and the digital side are each related to different reference voltages, which means that voltage differences occur. These differences must be compensated for appropriately. This compensation is achieved in integrated circuits of the prior art by electrically

isolating the data channels from the converter components by discrete components located upstream or downstream of the converter component. For an electrical isolation of this type, optical couplers, inductive or capacitive couplings are used.

DE-197 18 420 A1 discloses an integrated data transmission circuit with electrical isolation between the input and output circuits. Binary signals are fed to this circuit on the input side which are transmitted by the use of a magneto-sensitive coupling element which is located inside the integrated data transmission circuit, and are made available at the output of the integrated data transmission circuit in the form of binary output signals.

The object of the invention is to develop an analog-to-digital or digital-to-analog converter which is realized in the form of an integrated circuit so that the overall circuit in which it is located has a reduced power consumption.

The invention teaches that this object is accomplished by an integrated circuit with the features disclosed in Claim 1. Advantageous configurations and developments of the invention are described in the subclaims.

The advantages of the invention are, among other things, that as a result of the integration of the electrical isolation device into the digital signal path provided inside the integrated circuit, an A/D converter or D/A converter realized in the form of an integrated circuit with the features claimed by the invention consumes significantly less energy than a converter with upstream or downstream electrical isolation realized by means of discrete components. Moreover, a converter as claimed by the invention requires less space for its realization, which promotes the miniaturization of A/D or D/A converters. Furthermore, higher data rates can be achieved by means of a converter of this type. Converters of this type can also be manufactured more economically than converters of the prior art. The invention makes available a new class of components which combine the functions of an A/D or D/A/ converter and a contactless data transmission circuit. This principle can be used on all modern A/D and D/A converters.

Additional advantageous characteristics of the invention are explained in greater detail below with reference to the exemplary embodiments that are illustrated in the accompanying figures, in which:

Figure 1 is a block diagram of an integrated circuit which contains an analog-to-digital converter,

Figure 2 is a block diagram of an integrated circuit which contains a digital-to-analog converter, and

Figure 3 is a block diagram of an integrated circuit which contains a sigma-delta converter as an analog-to-digital converter.

Figure 1 is a block diagram of an integrated circuit 1 which contains an analog-to-digital converter 2. The analog signal to be converted is fed to the input 4 of the integrated circuit 1, and said signal is then fed from the input 4 of the integrated circuit 1 via an analog signal path 3 to the analog-to-digital converter 2. At its output, the analog-to-digital converter 2 makes available a digital signal that has a digital value which is fed via a digital signal path 5, 6 to the output 7 of the integrated circuit 1.

In the digital signal path 5, 6 there is a device 9 for electrical isolation, which is consequently located downstream of the analog-to-digital converter 2. The device for electrical isolation has, on the input side, a conductor loop by means of which the signal, which is present in digital form, is transported. As a result of this digital signal, a magnetic field is generated in the area surrounding the conductor loop which varies as a function of the digital signal. This varying magnetic field is detected by a magnetic field detector which is isolated from the conductor loop by an isolator, but is located in the area of the above mentioned magnetic field. The signal detected by the magnetic field detector is made available at the output 7 of the integrated circuit 1 in the form of a digital signal which is electrically isolated from the input side.

Inside the analog-to-digital converter 2, a digital clock signal is required. This signal is fed to the integrated circuit by means of an input 8 and forwarded by means of the electrical isolation device 9 to the analog-to-digital converter 2. Consequently, inside the electrical isolation device 9 there are two transmission channels, one of which is a data transmission channel and the other of which is a clock transmission channel.

The magnetic field detector of the electrical isolation device 9 can be realized in the form of a Hall-type element. The above-mentioned magnetic field detector can also be an AMR (anisotropic magnetic resistance) sensor, which reacts to a varying

magnetic field with a resistance variation. AMR sensors of this type have a permalloy layer.

To improve the sensitivity of the magnetic field detector, it can also be realized in the form of a GMR (giant magnetic resistance) sensor. Sensors of this type have a combination of three layers, two of which are made of magnetically soft material and one of which is made of magnetically hard material.

A further improvement of the sensitivity of the magnetic field detector can be achieved by realizing the detector in the form of a TMR (tunneling magnetic resistance) sensor. In this sensor, a layer made of a magnetically hard material is replaced by an isolating layer.

Figure 2 is a block diagram that illustrates an integrated circuit 10 which contains a digital-to-analog converter 15. The digital signal to be converted is fed to the input 11 of the integrated circuit and is then fed from the input 11 of the integrated circuit 10 via a digital signal path 12, 14 to the digital-to-analog converter 15. This latter converter makes available, at its output, an analog signal which is forwarded via an analog signal path 16 to the output 17 of the integrated circuit 10.

In the digital signal path 12, 14 there is a device 13 for electrical isolation, which is consequently upstream of the digital-to-analog converter 15. The device 13 for the electrical isolation itself is constructed just like the device 9 for electrical isolation described above in connection with Figure 1. The digital signal made available at the output of the device 13 for electrical isolation, which is a digital signal that is electrically isolated from the input side, is fed via the digital signal path 14 to the digital-to-analog converter 15. The latter converter converts the above mentioned signal, using a digital clock signal, into an analog signal which - as described above - is forwarded via the analog signal path 16 to the output 17 of the integrated circuit.

The digital clock signal required in the digital-to-analog converter 15 is generated outside the integrated circuit 10 and is fed to it via the connection 18. In the integrated circuit 10, the digital clock signal travels via the device 13 for electrical isolation in the form of an electrically isolated digital clock signal to the digital-to-analog converter 15. Consequently, inside the device 13 for electrical isolation, there are two transmission

channels, one of which is a data transmission channel and the other of which is a clock transmission channel.

Figure 3 shows a block diagram of an integrated circuit 20 which contains a sigma-delta converter as the analog-to-digital converter. This converter generates a 1-bit data stream, the logic level of which depends on whether the signal to be converted is greater than or less than a signal obtained on the basis of this comparison and then integrated.

An analog input signal is fed by means of the input 27 to the illustrated integrated circuit 20. This signal is forwarded from the input 27 to the sigma-delta converter which is located inside the integrated circuit 20. This sigma-delta converter has a subtraction stage 21 in which the signal fed back by means of a feedback path 24, which is converted back into an analog signal in a digital-to-analog converter 29, is subtracted from the input signal. The output signal of the subtraction stage 21 is integrated in an integrator 22 and is fed by it from the comparator 23. At this output, which forms the output of the sigma-delta converter, the above mentioned 1-bit data stream is available as the digital signal.

This signal - as described above - is subjected to a digital-to-analog conversion in the feedback path 24 and is fed as the subtrahend to the subtraction stage 21.

The 1-bit data stream is also guided to a device 25 for electrical isolation. There - as in the exemplary embodiments described above - a dual-channel magnetic transmission takes place in which the digital signal and the clock signal required for the analog-to-digital conversion is transmitted in an isolated manner. The digital output signal of the device 25 for electrical isolation is forwarded via a digital filter 26 which is also a component of the integrated circuit 20 to the output 28 of the integrated circuit 20.

In this embodiment, too, both an analog-to-digital conversion and an electrical isolation take place in one and the same integrated circuit. Compared to the analog-to-digital converters of the prior art, this results in a saving of power, space and manufacturing costs and makes possible a higher data rate.

## Claims

1. Integrated circuit which contains an analog-to-digital converter or a digital-to-analog converter and an analog and a digital signal path connected with said converter, **characterized by the fact that it has a device (9, 13, 25) for electrical isolation in the digital signal path.**
2. Integrated circuit as claimed in Claim 1, characterized by the fact that it contains an analog-to-digital converter (2) connected on the input side with an input (4) of the integrated circuit (1), which converter makes available at its output a digital signal, that the device (9) for electrical isolation is connected to the output of the analog-to-digital converter (2) and that the device (9) for electrical isolation is connected with an output (7) of the integrated circuit (1).
3. Integrated circuit as claimed in Claim 2, characterized by the fact that the analog-to-digital converter is a sigma-delta converter (21, 22, 23, 24, 29).
4. Integrated circuit as claimed in Claim 3, characterized by the fact that the sigma-delta converter has a subtraction stage (21), an integrator (22) connected with its output, a comparator (23) connected with the output of the integrator and a feedback path (24) that begins at the output of the comparator (23), in which feedback path there is a digital-to-analog converter (29) and the output of which is connected to the subtraction stage (21), and that the device (25) for electrical isolation is connected with the output (28) of the integrated circuit (20).
5. Integrated circuit as claimed in one of the Claims 2 to 4, characterized by the fact that the output of the device (25) for electrical isolation is connected via a digital filter (26) with the output (28) of the integrated circuit.
6. Integrated circuit as claimed in Claim 1, characterized by the fact that it contains a digital-to-analog converter connected on the output side with an output (17) of the

integrated circuit (10), that the device (13) for electrical isolation is connected to the input of the digital-to-analog converter (15) and that the device (13) for electrical isolation is connected on the input side with the input (11) of the integrated circuit (10).

7. Integrated circuit as claimed in one of the preceding claims, characterized by the fact that the device (9, 13, 25) for electrical isolation has two transmission channels, one of which is a data transmission channel and the other of which is a clock transmission channel.

8. Integrated circuit as claimed in one of the preceding claims, characterized by the fact that the device for electrical isolation has a conductor loop on the input side and a magnetic field detector element on the output side.

9. Integrated circuit as claimed in Claim 8, characterized by the fact that the magnetic field detector element is a Hall element.

10. Integrated circuit as claimed in Claim 8, characterized by the fact that the magnetic field detector element is an anisotropic, magneto-sensitive element (AMR).

11. Integrated circuit as claimed in Claim 8, characterized by the fact that the magnetic field detector element is a giant magneto-sensitive [*Translator's Note: sic - should be giant magnetic resistance*] (GMR) element.

12. Integrated circuit as claimed in Claim 8, characterized by the fact that the magnetic field detector is a tunneling magnetic resistance (TMR) element.

1 page of drawings



⑯ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑯ Offenlegungsschrift  
⑯ DE 199 22 127 A 1

⑯ Int. Cl.<sup>7</sup>:  
**H 03 M 1/00**  
H 03 M 3/02  
H 03 K 19/18  
// H04L 25/20

⑯ Aktenzeichen: 199 22 127.8  
⑯ Anmeldetag: 12. 5. 1999  
⑯ Offenlegungstag: 23. 11. 2000

DE 199 22 127 A 1

⑯ Anmelder:  
Siemens AG, 80333 München, DE

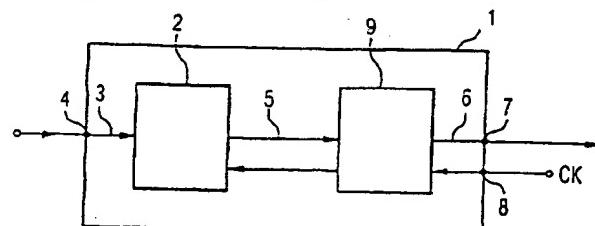
⑯ Erfinder:  
Munz, Dieter, Dipl.-Ing. (FH), 91315 Höchstadt, DE;  
Günther, Harald, Dipl.-Ing., 90537 Feucht, DE;  
Staudt, Michael, Dipl.-Ing. (FH), 90469 Nürnberg,  
DE; Thamm, Peter, Dr., 92224 Amberg, DE

⑯ Entgegenhaltungen:  
DE 37 26 582 C2  
DE 197 18 420 A1  
DE 43 24 865 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen  
Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Integrierter Schaltkreis mit einem A/D- oder D/A-Wandler mit galvanischer Trennung

⑯ Die Erfindung betrifft einen integrierten Schaltkreis, welcher einen Analog/Digital-Umsetzer oder einen Digital/Analog-Umsetzer sowie einen mit diesem verbundenen analogen und einen digitalen Signalpfad enthält. Im digitalen Signalpfad des integrierten Schaltkreises ist weiterhin eine Vorrichtung zur Potentialtrennung vorgesehen.



DE 199 22 127 A 1

## Beschreibung

Die Erfindung betrifft einen integrierten Schaltkreis, welcher einen Analog/Digital-Umsetzer oder einen Digital/Analog-Umsetzer sowie einen mit diesem verbundenen analogen und einen digitalen Signalpfad enthält.

Aus dem vom R. Oldenbourg Verlag München Wien 1988 herausgegebenen Buch "Digitale Verarbeitung analoger Signale" von Samuel D. Stearns, 4. Auflage, Seiten 69 bis 75, sind bereits A/D-Wandler und D/A-Wandler bekannt. Ein A/D-Wandler digitalisiert die Abtastwerte einer vorliegenden Zeitfunktion und liefert die Eingangssignale für einen digitalen Prozessor. Ein D/A-Wandler arbeitet reziprok zu dem A/D-Wandler. Er wandelt einen kodierten Satz von digitalen Werten in eine sich ändernde analoge Spannung um. Bei der A/D-Wandlung können Quantisierungsfehler, Nachzuschluss und Zitterfehler auftreten, die die Genauigkeit der Umwandlung beeinträchtigen. Die Auswirkungen verschiedener elektrischer oder mechanischer Fehlerquellen in D/A-Wählern versucht man dadurch gering zu halten, daß man Präzisionsbauteile auswählt, Präzisionsstromversorgungen benutzt, den Betriebstemperaturbereich verkleinert, usw.

Weiterhin sind A/D-Wandler und D/A-Wandler auch aus dem vom Springer Verlag 1990 herausgegebenen Buch "Halbleiter-Schaltungstechnik" von U. Tietze und Ch. Schenk, Seiten 751 bis 790, bekannt. Eine Realisierung eines derartigen Wandlers kann unter Verwendung des Parallelverfahrens, des Wägeverfahrens und des Zählverfahrens vorgenommen werden. Die genannten Wandler werden in der Regel als integrierte Schaltungen angeboten, beispielsweise C-MOS-Schaltungen.

Bei derartigen A/D- und D/A-Wählern sind die Analog- und die Digitalseite jeweils auf unterschiedliche Referenzpotentiale bezogen, so daß Potentialunterschiede auftreten. Diese müssen auf geeignete Weise kompensiert werden. Dies geschieht bisher dadurch, daß die Datenkanäle von Wandlerbausteinen durch vor oder nach dem Wandlerbaustein angeordnete diskrete Bauteile potentialgetrennt werden. Für eine derartige galvanische Trennung werden Optokoppler, induktive oder kapazitive Kopplungen verwendet.

Aus der DE-197 18 420 A1 ist bereits eine integrierte Datenübertragungsschaltung mit Potentialtrennung zwischen Ein- und Ausgangsschaltkreis bekannt. Dieser werden eingangsseitig binäre Eingangssignale zugeführt, die unter Verwendung eines innerhalb der integrierten Datenübertragungsschaltung angeordneten magnetosensitiven Koppellementes übertragen und am Ausgang der integrierten Datenübertragungsschaltung als binäre Ausgangssignale zur Verfügung gestellt werden.

Die Aufgabe der Erfindung besteht darin, einen in Form eines integrierten Schaltkreises realisierten Analog/Digital-Wandler oder Digital/Analog-Wandler derart weiterzubilden, daß die Gesamtschaltung, innerhalb derer er angeordnet ist, einen verringerten Stromverbrauch aufweist.

Diese Aufgabe wird durch einen integrierten Schaltkreis mit den im Anspruch 1 angegebenen Merkmalen gelöst. Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Die Vorteile der Erfindung bestehen insbesondere darin, daß ein als integrierter Schaltkreis realisierter A/D-Wandler oder D/A-Wandler mit den erfundungsgemäßen Merkmalen durch die Integration der Vorrichtung zur Potentialtrennung in den innerhalb der integrierten Schaltung vorgesehenen digitalen Signalpfad wesentlich weniger Energie verbraucht als ein Wandler mit vor- oder nachgeschalteter, mittels diskreter Bauelemente realisierter Potentialtrennung. Darüber hinaus benötigt ein Wandler gemäß der Erfindung bei seiner Realisierung weniger Fläche, was eine Miniaturisierung von

A/D- bzw. D/A-Wählern begünstigt. Weiterhin werden mittels eines derartigen Wandlers höhere Datenraten erzielt. Ferner sind derartige Wandler auch kostengünstiger zu realisieren als bekannte Wandler. Durch die Erfindung wird eine neue Klasse von Bauelementen zur Verfügung gestellt, welche die Funktionen eines A/D- bzw. D/A-Wandlers und einer berührungsfreien Datenübertragungsschaltung in sich vereinigen. Dieses Prinzip läßt sich auf alle gängigen A/D- und D/A-Wandler anwenden.

Weitere vorteilhafte Eigenschaften der Erfindung ergeben sich anhand von Ausführungsbeispielen, die nachfolgend anhand der Figuren näher erläutert werden. Es zeigt:

Fig. 1 ein Blockschaltbild eines integrierten Schaltkreises, welcher einen Analog/Digital-Wandler enthält.

Fig. 2 ein Blockschaltbild eines integrierten Schaltkreises, welcher einen Digital/Analog-Wandler enthält, und

Fig. 3 ein Blockschaltbild eines integrierten Schaltkreises, welcher als Analog/Digital-Wandler einen Sigma-Delta-Wandler enthält.

Die Fig. 1 zeigt ein Blockschaltbild eines integrierten Schaltkreises 1, welcher einen Analog/Digital-Wandler 2 enthält. Dem Eingang 4 des integrierten Schaltkreises 1 wird das zu wandelnde analoge Signal zugeführt, welches dann vom Eingang 4 des integrierten Schaltkreises 1 aus über einen analogen Signalpfad 3 dem Analog/Digital-Wandler 2 zugeführt wird. Dieser stellt an seinem Ausgang ein digitales Wertes aufweisendes digitales Signal zur Verfügung, welches über einen digitalen Signalpfad 5, 6 an den Ausgang 7 des integrierten Schaltkreises 1 weitergeleitet wird.

Im digitalen Signalpfad 5, 6 ist eine Vorrichtung 9 zur Potentialtrennung vorgesehen, die folglich dem Analog/Digital-Wandler 2 nachgeschaltet ist. Die Vorrichtung zur Potentialtrennung weist eingangsseitig eine Leiterschleife auf, über welche das in digitaler Form vorliegende Signal geführt wird. Durch dieses digitale Signal wird im Umgebungsbereich der Leiterschleife ein Magnetfeld erzeugt, welches sich in Abhängigkeit vom digitalen Signal ändert. Dieses sich ändernde Magnetfeld wird von einem Magnetfelddetektor erkannt, der durch einen Isolator von der Leiterschleife getrennt angeordnet ist, sich aber im Bereich des genannten Magnetfeldes befindet. Das vom Magnetfelddetektor detektierte Signal wird als galvanisch von der Eingangsseite getrenntes digitales Signal am Ausgang 7 des integrierten Schaltkreises 1 zur Verfügung gestellt.

Innerhalb des Analog/Digital-Wandlers 2 wird ein digitales Taktsignal benötigt. Dieses wird dem integrierten Schaltkreis über einen Eingang 8 zugeführt und über die Vorrichtung 9 zur Potentialtrennung an den Analog/Digital-Wandler 2 weitergeleitet. Dadurch entstehen innerhalb der Vorrichtung 9 zur Potentialtrennung zwei Übertragungskanäle, von denen einer ein Datenübertragungskanal und der andere ein Taktübertragungskanal ist.

Der Magnetfelddetektor der Vorrichtung 9 zur Potentialtrennung kann in Form eines Hallelementes realisiert sein. Weiterhin kann es sich bei dem genannten Magnetfelddetektor auch um einen AMR-Sensor handeln (anisotropic magnetic resistance), der auf ein sich änderndes magnetisches Feld mit einer Widerstandsveränderung reagiert. Derartige AMR-Sensoren weisen eine Permalloyschicht auf.

Zur Verbesserung der Sensitivität des Magnetfelddetektors kann dieser auch in Form eines GMR-Sensors realisiert sein (giant magnetic resistance). Derartige Sensoren weisen eine Kombination dreier Schichten auf, von denen zwei weichmagnetisch sind und eine hartmagnetisch ist.

Eine nochmalige Verbesserung der Sensitivität des Magnetfelddetektors ist dadurch möglich, daß dieser als TMR-Sensor realisiert ist (tunnelling magnetic resistance). Bei diesem ist eine hartmagnetische Schicht durch eine isolie-

rende Schicht ersetzt.

Die Fig. 2 zeigt ein Blockschaltbild eines integrierten Schaltkreises 10, welcher einen Digital/Analog-Wandler 15 enthält. Dem Eingang 11 des integrierten Schaltkreises wird das zu wandelnde digitale Signal zugeführt, welches dann vom Eingang 11 des integrierten Schaltkreises 10 über einen digitalen Signalpfad 12, 14 dem Digital/Analog-Wandler 15 zugeführt wird. Dieser stellt an seinem Ausgang ein analoges Signal zur Verfügung, welches über einen analogen Signalpfad 16 an den Ausgang 17 des integrierten Schaltkreises 10 weitergeleitet wird.

Im digitalen Signalpfad 12, 14 ist eine Vorrichtung 13 zur Potentialtrennung vorgesehen, die folglich dem Digital/Analog-Wandler 15 vorgeschaltet ist. Die Vorrichtung 13 zur Potentialtrennung selbst ist ebenso aufgebaut wie die oben im Zusammenhang mit Fig. 1 beschriebene Vorrichtung 9 zur Potentialtrennung. Das am Ausgang der Vorrichtung 13 zur Potentialtrennung zur Verfügung gestellte digitale Signal, welches ein galvanisch von der Eingangsseite getrenntes digitales Signal ist, wird über den digitalen Signalpfad 14 dem Digital/Analog-Wandler 15 zugeführt. Dieser setzt das genannte Signal unter Verwendung eines digitalen Taktsignals in ein analoges Signal um, das – wie bereits oben ausgeführt wurde – über den analogen Signalpfad 16 an den Ausgang 17 des integrierten Schaltkreises weitergeleitet wird.

Das im Digital/Analog-Wandler 15 benötigte digitale Taktsignal wird außerhalb des integrierten Schaltkreises 10 erzeugt und diesem über den Anschluß 18 zugeführt. Im integrierten Schaltkreis 10 gelangt das digitale Taktsignal über die Vorrichtung 13 zur Potentialtrennung als potentialgetrenntes digitales Taktsignal an den Digital/Analog-Wandler 15. Dadurch entstehen innerhalb der Vorrichtung 13 zur Potentialtrennung zwei Übertragungskanäle, von denen einer ein Datenübertragungskanal und der andere ein Taktübertragungskanal ist.

Die Fig. 3 zeigt ein Blockschaltbild eines integrierten Schaltkreises 20, welcher als Analog/Digital-Wandler einen Sigma-Delta-Wandler enthält. Dieser erzeugt einen 1-Bit-Datenstrom, dessen logischer Pegel davon abhängig ist, ob das zu wandelnde Signal größer oder kleiner als ein aufgrund dieses Vergleiches gewonnenes und anschließend integriertes Signal ist.

Dem gezeigten integrierten Schaltkreis 20 wird über den Eingang 27 ein analoges Eingangssignal zugeführt. Dieses wird vom Eingang 27 an den innerhalb der integrierten Schaltung 20 angeordneten Sigma-Delta-Wandler weitergeleitet. Dieser weist eine Subtraktionsstufe 21 auf, in welcher das über einen Rückkopplungspfad 24 zurückgeführte Signal, welches in einem Digital/Analog-Wandler 29 wieder in ein analoges Signal umgewandelt wird, vom Eingangssignal subtrahiert wird. Das Ausgangssignal der Subtrahierstufe 21 wird in einem Integrator 22 integriert und von diesem aus dem Komparator 23 zugeführt. An diesem Ausgang, der den Ausgang des Sigma-Delta-Wandlers bildet, steht als digitales Signal der bereits oben genannte 1-Bit-Datenstrom zur Verfügung.

Dieser wird – wie bereits aufgeführt – im Rückkopplungspfad 24 einer Digital/Analog-Wandlung unterworfen und als Subtrahend der Subtrahierstufe 21 zugeführt.

Weiterhin wird der 1-Bit-Datenstrom an eine Vorrichtung 25 zur Potentialtrennung geführt. Dort erfolgt – ebenso wie bei den obigen Ausführungsbeispielen – eine zweikanalige magnetische Übertragung, bei der das digitale Signal und das zur Analog/Digital-Wandlung benötigte Taktsignal potentialfrei übertragen werden. Das digitale Ausgangssignal der Vorrichtung 25 zur Potentialtrennung wird über ein digitales Filter 26, welches ebenfalls Bestandteil des integrierten

Schaltkreises 20 ist, an den Ausgang 28 des integrierten Schaltkreises 20 weitergeleitet.

Auch bei diesem Ausführungsbeispiel findet in ein und demselben integrierten Schaltkreis sowohl eine Analog/Digital-Wandlung als auch eine Potentialtrennung statt. Dies führt im Vergleich zu bekannten Analog/Digital-Wandlern zu einer Einsparung von Strom, Fläche und Realisierungskosten und ermöglicht eine höhere Datenrate.

#### Patentansprüche

1. Integrierter Schaltkreis, welcher einer Analog/Digital-Umsetzer oder einem Digital/Analog-Umsetzer sowie einem mit diesem verbundenen analogen und einen digitalen Signalpfad enthält, dadurch gekennzeichnet, daß er im digitalen Signalpfad eine Vorrichtung (9, 13, 25) zur Potentialtrennung aufweist.
2. Integrierter Schaltkreis nach Anspruch 1, dadurch gekennzeichnet, daß er einen eingangsseitig mit einem Eingang (4) des integrierten Schaltkreises (1) verbundenen Analog/Digital-Umsetzer (2) enthält, der an seinem Ausgang ein digitales Signal zur Verfügung stellt, daß die Vorrichtung (9) zur Potentialtrennung an den Ausgang des Analog/Digital-Umsetzers (2) angeschlossen ist und daß die Vorrichtung (9) zur Potentialtrennung mit einem Ausgang (7) des integrierten Schaltkreises (1) verbunden ist.
3. Integrierter Schaltkreis nach Anspruch 2, dadurch gekennzeichnet, daß der Analog/Digital-Umsetzer ein Sigma-Delta-Wandler (21, 22, 23, 24, 29) ist.
4. Integrierter Schaltkreis nach Anspruch 3, dadurch gekennzeichnet, daß der Sigma-Delta-Wandler eine Subtraktionsstufe (21), einen mit deren Ausgang verbundenen Integrator (22), einen mit dem Ausgang des Integrators verbundenen Komparator (23) und einen vom Ausgang des Komparators (23) ausgehenden Rückkopplungspfad (24) aufweist, in welchem ein Digital/Analog-Wandler (29) vorgesehen ist und dessen Ausgang mit der Subtraktionsstufe (21) verbunden ist, und daß die Vorrichtung (25) zur Potentialtrennung mit dem Ausgang (28) des integrierten Schaltkreises (20) verbunden ist.
5. Integrierter Schaltkreis nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, daß der Ausgang der Vorrichtung (25) zur Potentialtrennung über ein digitales Filter (26) mit dem Ausgang (28) des integrierten Schaltkreises verbunden ist.
6. Integrierter Schaltkreis nach Anspruch 1, dadurch gekennzeichnet, daß er einen ausgangsseitig mit einem Ausgang (17) des integrierten Schaltkreises (10) verbundenen Digital/Analog-Umsetzer (15) enthält, daß die Vorrichtung (13) zur Potentialtrennung an den Eingang des Digital/Analog-Umsetzers (15) angeschlossen ist und daß die Vorrichtung (13) zur Potentialtrennung eingangsseitig mit einem Eingang (11) des integrierten Schaltkreises (10) verbunden ist.
7. Integrierter Schaltkreis nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Vorrichtung (9, 13, 25) zur Potentialtrennung zwei Übertragungskanäle aufweist, von denen einer ein Datenübertragungskanal und der andere ein Taktübertragungskanal ist.
8. Integrierter Schaltkreis nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Vorrichtung zur Potentialtrennung eingangsseitig eine Leiterschleife und ausgangsseitig ein Magnetfelddetektorelement aufweist.
9. Integrierter Schaltkreis nach Anspruch 8, dadurch

gekennzeichnet, daß das Magnetfelddetektorelement ein Hallelement ist.

10. Integrierter Schaltkreis nach Anspruch 8, dadurch gekennzeichnet, daß Magnetfelddetektorelement ein anisotropes, magnetosensitives Element (AMR) ist. 5

11. Integrierter Schaltkreis nach Anspruch 8, dadurch gekennzeichnet, daß Magnetfelddetektorelement ein giant-magnetosensitives Element (GMR) ist.

12. Integrierter Schaltkreis nach Anspruch 8, dadurch gekennzeichnet, daß Magnetfelddetektorelement ein 10 tunnel magnetoresistives Bauelement (TMR) ist.

Hierzu 1 Seite(n) Zeichnungen

15

20

25

30

35

40

45

50

55

60

65

**- Leerseite -**

FIG 1

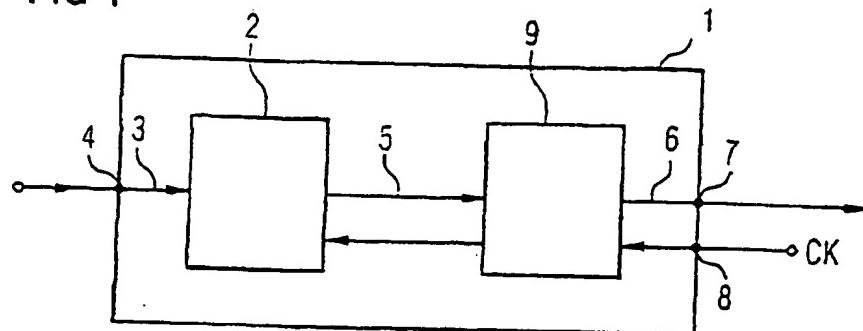


FIG 2

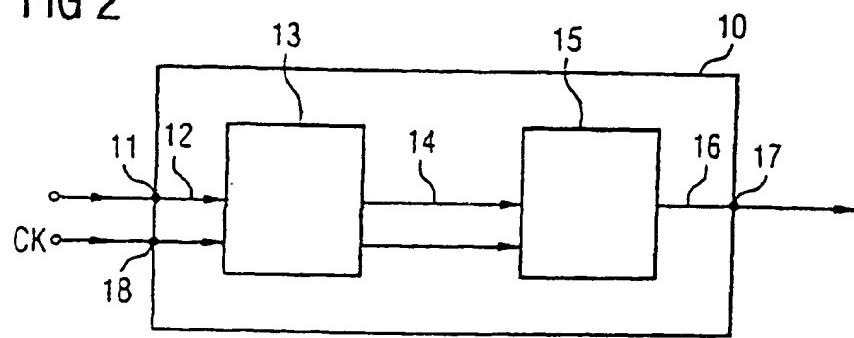


FIG 3

